

5-22-02
Pb

JC714 U.S. PRO
10/051064
01/18/02

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2001年 1月 19日

出願番号

Application Number:

特願2001-011085

出願人

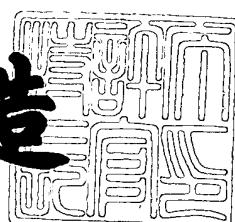
Applicant(s):

株式会社半導体エネルギー研究所

2001年11月16日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3101569

【書類名】 特許願
【整理番号】 P005449
【提出日】 平成13年 1月19日
【あて先】 特許庁長官 及川 耕造 殿
【発明者】
【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
【氏名】 浜田 崇
【発明者】
【住所又は居所】 神奈川県厚木市長谷398番地 株式会社半導体エネルギー研究所内
【氏名】 村上 智史
【特許出願人】
【識別番号】 000153878
【氏名又は名称】 株式会社半導体エネルギー研究所
【代表者】 山崎 舜平
【手数料の表示】
【予納台帳番号】 002543
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1
【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその作製方法

【特許請求の範囲】

【請求項1】

第1のnチャネル型TFTと第2のnチャネル型TFTとpチャネル型TFTとを同一基板上に備えた半導体装置であって、

前記第1のnチャネル型TFTの半導体層に形成される第1の不純物領域と第2の不純物領域とはゲート電極の外側に設けられ、

前記第2のnチャネル型TFTの半導体層に形成される第3の不純物領域はゲート電極と一部が重なるように設けられ、かつ、第3の不純物領域はゲート電極の外側に設けられ、

前記pチャネル型TFTの半導体層に形成される第4の不純物領域はゲート電極と一部が重なるように設けられ、かつ、第5の不純物領域はゲート電極の外側に設けられていることを特徴とする半導体装置。

【請求項2】

第1のnチャネル型TFTと第2のnチャネル型TFTとpチャネル型TFTとを同一基板上に備えた半導体装置であって、

前記第1のnチャネル型TFTの半導体層に形成され、LDD領域となる第1の不純物領域と、ソースまたはドレイン領域となる第2の不純物領域とはゲート電極の外側に設けられ、

前記第2のnチャネル型TFTの半導体層に形成され、LDD領域となる第3の不純物領域はゲート電極と一部が重なるように設けられ、かつ、ソースまたはドレイン領域となる第3の不純物領域はゲート電極の外側に設けられ、

前記pチャネル型TFTの半導体層に形成され、LDD領域となる第4の不純物領域はゲート電極と一部が重なるように設けられ、かつ、ソースまたはドレイン領域となる第5の不純物領域はゲート電極の外側に設けられていることを特徴とする半導体装置。

【請求項3】

画素部に設けられる第1のnチャネル型TFTと、駆動回路に設けられる第2の

nチャネル型TFTとpチャネル型TFTとを同一基板上に備えた半導体装置であって、

前記第1のnチャネル型TFTの半導体層に形成される第1の不純物領域と第2の不純物領域とはゲート電極の外側に設けられ、

前記第2のnチャネル型TFTの半導体層に形成される第3の不純物領域はゲート電極と一部が重なるように設けられ、かつ、第3の不純物領域はゲート電極の外側に設けられ、

前記pチャネル型TFTの半導体層に形成される第4の不純物領域はゲート電極と一部が重なるように設けられ、かつ、第5の不純物領域はゲート電極の外側に設けられていることを特徴とする半導体装置。

【請求項4】

画素部に設けられる第1のnチャネル型TFTと、駆動回路に設けられる第2のnチャネル型TFTとpチャネル型TFTとを同一基板上に備えた半導体装置であって、

前記第1のnチャネル型TFTの半導体層に形成され、LDD領域となる第1の不純物領域と、ソースまたはドレイン領域となる第2の不純物領域とはゲート電極の外側に設けられ、

前記第2のnチャネル型TFTの半導体層に形成され、LDD領域となる第3の不純物領域はゲート電極と一部が重なるように設けられ、かつ、ソースまたはドレイン領域となる第3の不純物領域はゲート電極の外側に設けられ、

前記pチャネル型TFTの半導体層に形成され、LDD領域となる第4の不純物領域はゲート電極と一部が重なるように設けられ、かつ、ソースまたはドレイン領域となる第5の不純物領域はゲート電極の外側に設けられていることを特徴とする半導体装置。

【請求項5】

請求項1乃至請求項4のいずれか一において、前記第2のnチャネル型TFTがバッファ回路に設けられていることを特徴とする半導体装置。

【請求項6】

絶縁表面上に半導体層を形成する第1の工程と、

前記半導体層上に絶縁膜を形成する第2の工程と、
前記絶縁膜上に第1形状の導電層を形成する第3の工程と、
前記第1形状の導電層から第2形状の導電層を形成する第4の工程と、
前記第2形状の導電層をマスクとして前記半導体層に一導電型の不純物元素を添
加して第1の不純物領域を形成する第5の工程と、
前記第2形状の導電層をマスクとして前記半導体層の選択された領域に一導電型
の不純物元素を添加して第2及び第3の不純物領域を形成する第6の工程と、
前記第2形状の導電層をマスクとして前記半導体層の選択された領域に一導電型
とは反対の不純物元素を添加して第4及び第5の不純物領域を形成する第5の工
程とを有することを特徴とする半導体装置の作製方法。

【請求項7】

絶縁表面上に半導体層を形成する第1の工程と、
前記半導体層上に絶縁膜を形成する第2の工程と、
前記絶縁膜上に第1形状の導電層を形成する第3の工程と、
前記第1形状の導電層から第2形状の導電層を形成する第4の工程と、
前記第2形状の導電層をマスクとして前記半導体層に第1のドーズ量で一導電型
の不純物元素を添加して第1の不純物領域を形成する第5の工程と、
前記第2形状の導電層をマスクとして前記半導体層の選択された領域に第2のド
ーズ量で一導電型の不純物元素を添加して第2及び第3の不純物領域を形成する
第6の工程と、
前記第2形状の導電層をマスクとして前記半導体層の選択された領域に一導電型
とは反対の不純物元素を添加して第4及び第5の不純物領域を形成する第5の工
程と、を有することを特徴とする半導体装置の作製方法。

【請求項8】

請求項6または請求項7において、前記一導電型の不純物はn型を付与する不純
物であることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、基板上に形成された結晶構造を有する半導体膜（以下、結晶質半導体膜という）を用いた薄膜トランジスタ（Thin Film Transistor、以下TFTと記す）を用いた半導体装置及びその作製方法に関する。尚、本明細書において半導体装置とは、半導体特性を利用して機能する装置全般を指し、本発明により作製される半導体装置はTFTを用いて構成される半導体集積回路（マイクロプロセッサ、信号処理回路または高周波回路等）を有する液晶表示装置等を範疇に含んでいる。

【0002】

【従来の技術】

絶縁基板上にTFTを形成して、各種集積回路や表示装置の画素部を形成する技術が開発されている。結晶質半導体膜は、非晶質半導体膜よりもキャリアの移動度が高いので、結晶質半導体膜を活性層に用いたTFTは、駆動能力が高く、画素部の駆動回路を形成することも可能となっている。駆動回路一体型のアクティブマトリクス型液晶表示装置はその代表的な一例である。しかし、その駆動回路は高い駆動能力（オン電流、 I_{on} ）及びホットキャリア効果による劣化を防ぎ信頼性を向上させることが求められる一方、画素部は低いオフ電流（ I_{off} ）が求められている。

【0003】

オフ電流値を低減するためのTFT構造として、低濃度ドレイン（LDD：Lightly Doped drain）構造が知られている。この構造は、チャネル形成領域と、高濃度に不純物元素を添加して形成するソース領域或いはドレイン領域との間に、低濃度に不純物元素を添加したLDD領域を設けたものである。また、ホットキャリアによるオン電流値の劣化を防ぐのに有効である構造の中に、LDD領域の一部分がゲート電極と重なるLDD構造（以下、Gate-drain Overlapped LDDを省略してGOLDと呼ぶ）が知られている。

【0004】

【発明が解決しようとする課題】

しかし、画素部や駆動回路の要求に合わせてTFTの構造を最適化しようとすると、製造工程が複雑となり必要なフォトマスクの数が必然的に増加してしまう

。一方、ゲート電極を利用して自己整合的にLDD等の不純物領域を形成する手法では、基板サイズの大型化に伴ってその加工精度がどうしても悪くなってしまう。

【0005】

本発明はこのような問題点を解決することを目的とし、画素部や駆動回路の駆動条件に最適なTFTの構造を、少ないフォトマスクの数で実現する技術を提供することを目的とする。

【0006】

【課題を解決するための手段】

上記問題点を解決するために、本発明の半導体装置の構成は、第1のnチャネル型TFTと第2のnチャネル型TFTとpチャネル型TFTとを同一基板上に備えた半導体装置において、第1のnチャネル型TFTの半導体層に形成される第1の不純物領域と第2の不純物領域とはゲート電極の外側に設けられ、第2のnチャネル型TFTの半導体層に形成される第3の不純物領域はゲート電極と一部が重なるように設けられ、かつ、第3の不純物領域はゲート電極の外側に設けられ、pチャネル型TFTの半導体層に形成される第4の不純物領域はゲート電極と一部が重なるように設けられ、かつ、第5の不純物領域はゲート電極の外側に設けられていることを特徴としている。

【0007】

また、他の発明の構成は、第1のnチャネル型TFTと第2のnチャネル型TFTとpチャネル型TFTとを同一基板上に備えた半導体装置において、第1のnチャネル型TFTの半導体層に形成され、LDD領域となる第1の不純物領域と、ソースまたはドレイン領域となる第2の不純物領域とはゲート電極の外側に設けられ、第2のnチャネル型TFTの半導体層に形成され、LDD領域となる第3の不純物領域はゲート電極と一部が重なるように設けられ、かつ、ソースまたはドレイン領域となる第4の不純物領域はゲート電極の外側に設けられ、pチャネル型TFTの半導体層に形成され、LDD領域となる第5の不純物領域はゲート電極と一部が重なるように設けられ、かつ、ソースまたはドレイン領域となる第6の不純物領域はゲート電極の外側に設けられていることを特徴としている。

【0008】

また、他の発明の構成は、画素部に設けられる第1のnチャネル型TFTと、駆動回路に設けられる第2のnチャネル型TFTとpチャネル型TFTとを同一基板上に備えた半導体装置であって、第1のnチャネル型TFTの半導体層に形成される第1の不純物領域と第2の不純物領域とはゲート電極の外側に設けられ、第2のnチャネル型TFTの半導体層に形成される第3の不純物領域はゲート電極と一部が重なるように設けられ、かつ、第3の不純物領域はゲート電極の外側に設けられ、pチャネル型TFTの半導体層に形成される第4の不純物領域はゲート電極と一部が重なるように設けられ、かつ、第5の不純物領域はゲート電極の外側に設けられていることを特徴としている。

【0009】

また、他の発明の構成は、画素部に設けられる第1のnチャネル型TFTと、駆動回路に設けられる第2のnチャネル型TFTとpチャネル型TFTとを同一基板上に備えた半導体装置において、第1のnチャネル型TFTの半導体層に形成され、LDD領域となる第1の不純物領域と、ソースまたはドレイン領域となる第2の不純物領域とはゲート電極の外側に設けられ、第2のnチャネル型TFTの半導体層に形成され、LDD領域となる第3の不純物領域はゲート電極と一部が重なるように設けられ、かつ、ソースまたはドレイン領域となる第3の不純物領域はゲート電極の外側に設けられ、pチャネル型TFTの半導体層に形成され、LDD領域となる第4の不純物領域はゲート電極と一部が重なるように設けられ、かつ、ソースまたはドレイン領域となる第5の不純物領域はゲート電極の外側に設けられていることを特徴としている。

【0010】

上記問題点を解決するために、本発明の半導体装置の作製方法は、絶縁表面上に半導体層を形成する第1の工程と、前記半導体層上に絶縁膜を形成する第2の工程と、前記絶縁膜上に第1形状の導電層を形成する第3の工程と、前記第1形状の導電層から第2形状の導電層を形成する第4の工程と、前記第2形状の導電層をマスクとして前記半導体層に一導電型の不純物元素を添加して第1の不純物

領域を形成する第5の工程と、前記第2形状の導電層をマスクとして前記半導体層の選択された領域に一導電型の不純物元素を添加して第2及び第3の不純物領域を形成する第6の工程と、前記第2形状の導電層をマスクとして前記半導体層の選択された領域に一導電型とは反対の不純物元素を添加して第4及び第5の不純物領域を形成する第5の工程とを有することを特徴としている。

【0011】

また、他の発明の構成は、絶縁表面上に半導体層を形成する第1の工程と、前記半導体層上に絶縁膜を形成する第2の工程と、前記絶縁膜上に第1形状の導電層を形成する第3の工程と、前記第1形状の導電層から第2形状の導電層を形成する第4の工程と、前記第2形状の導電層をマスクとして前記半導体層に第1のドーズ量で一導電型の不純物元素を添加して第1の不純物領域を形成する第5の工程と、前記第2形状の導電層をマスクとして前記半導体層の選択された領域に第2のドーズ量で一導電型の不純物元素を添加して第2及び第3の不純物領域を形成する第6の工程と、前記第2形状の導電層をマスクとして前記半導体層の選択された領域に一導電型とは反対の不純物元素を添加して第4及び第5の不純物領域を形成する第5の工程とを有することを特徴としている。

【0012】

【発明の実施の形態】

本発明の実施の形態を、以下に図1乃至図4を用いて説明する。ここでは、同一基板上に画素部と、画素部の周辺に設ける駆動回路のTFT（nチャネル型TFT及びpチャネル型TFT）を同時に作製する方法について詳細に説明する。

【0013】

図1（A）において、基板100はガラス基板、石英基板、セラミック基板などを用いることができる。また、シリコン基板、金属基板またはステンレス基板の表面に絶縁膜を形成したものを用いても良い。また、本実施例の処理温度に耐えうる耐熱性を有するプラスチック基板を用いてもよい。

【0014】

そして、図1（A）に示すように基板100上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜（ SiO_xN_y ）等の絶縁膜から成る下地膜101

を形成する。代表的な一例は下地膜101として2層構造から成り、 SiH_4 、 NH_3 、及び N_2O を反応ガスとして成膜される第1酸化窒化シリコン膜101aを50～100nm、 SiH_4 、及び N_2O を反応ガスとして成膜される第2酸化窒化シリコン膜101bを100～150nmの厚さに積層形成する構造が採用される。

【0015】

活性層とする半導体膜は、下地膜101上に形成した非晶質半導体膜を結晶化して得る。非晶質半導体膜は30～60nmの厚さで形成し、加熱処理やレーザー光の照射により結晶化させ、結晶質半導体膜を形成する。非晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム($\text{Si}_x\text{Ge}_{1-x}$; $0 < x < 1$ 、代表的には、 $x = 0.001 \sim 0.05$)合金などで形成すると良い。本実施例では、プラズマCVD法により、 SiH_4 ガスを用いて、非晶質シリコン膜を形成する。レーザー光の照射により結晶質半導体膜を作成する場合には、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、 YVO_4 レーザーを用いることができる。これらのレーザーを用いる場合には、レーザー発振器から放出されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は、実施者が適宜選択すればよい。

【0016】

結晶化法として、ニッケル等の半導体の結晶化に対し触媒作用のある金属元素を添加して結晶化させても良い。例えば、ニッケルを含有する溶液を非晶質シリコン膜上に保持させた後、脱水素化(500°C、1時間)続けて熱結晶化(550°C、4時間)を行い、更に結晶化を改善するためのレーザーニール処理を行って、結晶質シリコン膜を形成することができる。その後、得られた結晶質半導体膜を所望の形状にエッチング処理して島状に分離された半導体層102～106を形成する。

【0017】

また、半導体層102～106を形成した後、nチャネル型TFTのしきい値(V_{th})を制御するためにp型を付与する不純物元素を添加してもよい。半導

体に対してP型を付与する不純物元素には、ボロン（B）、アルミニウム（Al）、ガリウム（Ga）など周期律第13族元素が知られている。

【0018】

次いで、島状に分離された半導体層102～106を覆うゲート絶縁膜107を形成する。ゲート絶縁膜107は、プラズマCVD法やスパッタ法で形成し、その厚さを40～150nmとしてシリコンを含む絶縁膜で形成する。勿論、このゲート絶縁膜は、シリコンを含む絶縁膜を単層或いは積層構造として用いることができる。

【0019】

酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS (Tetraethyl Ortho Silicate) とO₂を混合し、反応圧力40Pa、基板温度300～400°Cとし、高周波(13.56MHz)電力密度0.5～0.8W/cm²で放電させて形成することができる。このようにして作製される酸化シリコン膜は、形成後400～500°Cの熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0020】

ゲート絶縁膜107上には膜厚20～100nmの第1の導電膜として窒化タンタル(TaN)108と、膜厚100～400nmの第2の導電膜としてタンゲステン(W)109とを積層形成する。ゲート電極を形成するための導電性材料としてはTa、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成する。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてよい。また、第1の導電膜をタンタル(Ta)膜で形成し、第2の導電膜をW膜とする組み合わせ、第1の導電膜を窒化タンタル(TaN)膜で形成し、第2の導電膜をAl膜とする組み合わせ、第1の導電膜を窒化タンタル(TaN)膜で形成し、第2の導電膜をCu膜とする組み合わせとしてもよい。

【0021】

次に、図1(B)に示すように光露光工程によりレジストからなるマスク110～115を形成し、ゲート電極及び配線を形成するための第1のエッチング処

理を行う。エッティングには I C P (Inductively Coupled Plasma: 誘導結合型プラズマ) エッティング法を用いると良い。用いるエッティング用ガスに限定はないが、WやTaNのエッティングにはCF₄とCl₂とO₂とを用いることが適している。それぞれのガス流量比を25/25/10 (sccm) とし、1Paの圧力でコイル型の電極に500WのRF (13.56MHz) 電力を投入してプラズマを生成してエッティングを行う。基板側(試料ステージ)にも150WのRF (13.56MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。この第1のエッティング条件によりW膜をエッティングして第1の導電層の端部をテーパー形状とする。

【0022】

この後、第2のエッティング条件に変え、エッティング用ガスにCF₄とCl₂とを用い、それぞれのガス流量比を30/30 (sccm) とし、1Paの圧力でコイル型の電極に500WのRF (13.56MHz) 電力を投入してプラズマを生成して約30秒程度のエッティングを行う。基板側(試料ステージ)にも20WのRF (13.56MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂を混合した第2のエッティング条件ではW膜及びTaN膜とも同程度にエッティングされる。なお、ゲート絶縁膜上に残渣を残すことなくエッティングするためには、10~20%程度の割合でエッティング時間を増加させると良い。

【0023】

この第1のエッティング処理では、レジストからなるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパー形状となる。このテーパー部の角度は15~45°となる。こうして、第1のエッティング処理により第1の導電層と第2の導電層から成る第1の形状の導電層117~122(第1の導電層117a~122aと第2の導電層117b~122b)を形成する。116はゲート絶縁膜であり、第1の形状の導電層117~122で覆われない領域は20~50nm程度エッティングされ薄くなった領域が形成される。

【0024】

次に、レジストからなるマスク110～115を除去せずに図1(C)に示すように第2のエッティング処理を行う。エッティング用ガスにCF₄とCl₂とO₂とを用い、それぞれのガス流量比を20/20/20(sccm)とし、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成してエッティングを行う。基板側(試料ステージ)には20WのRF(13.56MHz)電力を投入し、第1のエッティング処理に比べ低い自己バイアス電圧を印加する。この第3のエッティング条件によりW膜をエッティングする。こうして、上記第3のエッティング条件によりW膜を異方性エッティングして第2の形状の導電層124～129(第1の導電層124a～129aと第2の導電層124b～129b)を形成する。123はゲート絶縁膜であり、第1の形状の導電層117～122で覆われない領域は20～50nm程度エッティングされ薄くなった領域が形成される。

【0025】

W膜やTaN膜に対するCF₄とCl₂の混合ガスによるエッティング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することができる。WとTaNのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物であるWF₆が極端に高く、その他のWC₁₅、TaF₅、TaC₁₅は同程度である。従って、CF₄とCl₂の混合ガスではW膜及びTaN膜共にエッティングされる。しかし、この混合ガスに適量のO₂を添加するとCF₄とO₂が反応してCOとFになり、FラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッティング速度が増大する。一方、TaNはFが増大しても相対的にエッティング速度の増加は少ない。また、TaNはWに比較して酸化されやすいので、O₂を添加することでTaNの表面が多少酸化される。TaNの酸化物はフッ素や塩素と反応しないため、さらにTaN膜のエッティング速度は低下する。従って、W膜とTaN膜とのエッティング速度に差を作ることが可能となりW膜のエッティング速度をTaN膜よりも大きくすることが可能となる。

【0026】

そして、レジストからなるマスクを除去せずに第1のドーピング処理を行い、半導体層にn型を付与する不純物元素を添加する。ドーピング処理はイオンドー

法、もしくはイオン注入法で行えば良い。イオンドープ法の条件はドーザ量を $1.5 \times 10^{14} \text{ atoms/cm}^2$ とし、加速電圧を $60 \sim 100 \text{ keV}$ として行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン(P)または砒素(As)を用いる。この場合、第2形状の導電層 $124 \sim 128$ がn型を付与する不純物元素に対するマスクとなり、自己整合的に第1の不純物領域 $123 \sim 127$ が形成される。第1の不純物領域 $130 \sim 134$ には $1 \times 10^{16} \sim 1 \times 10^{17} \text{ atoms/cm}^3$ の濃度範囲でn型を付与する不純物元素を添加する。

【0027】

次いで、図2(A)に示すようにレジストからなるマスク $135, 136$ を形成し第2のドーピング処理を行う。マスク 135 は駆動回路のpチャネル型TFTを形成する半導体層のチャネル形成領域及びその周辺の領域を保護するマスクであり、マスク 136 は画素部のTFTを形成する半導体層のチャネル形成領域及びその周辺の領域を保護するマスクである。

【0028】

第2のドーピング処理におけるイオンドープ法の条件はドーザ量を $1.5 \times 10^{15} \text{ atoms/cm}^2$ とし、加速電圧を $60 \sim 100 \text{ keV}$ としてリン(P)をドーピングする。ここでは、第2形状の導電層 $124 \sim 128$ 及びゲート絶縁膜 123 の膜厚の差を利用して各半導体層に不純物領域を行う。勿論、マスク $135, 136$ で覆われた領域にはリン(P)は添加されない。こうして、第2の不純物領域 $180 \sim 182$ と第3の不純物領域 $137 \sim 141$ が形成される。第3の不純物領域 $137 \sim 141$ には $1 \times 10^{20} \sim 1 \times 10^{21} \text{ atoms/cm}^3$ の濃度範囲でn型を付与する不純物元素を添加されている。また、第2の不純物領域はゲート絶縁膜の膜厚差により第3の不純物領域よりも低濃度に形成され、 $1 \times 10^{18} \sim 1 \times 10^{19} \text{ atoms/cm}^3$ の濃度範囲でn型を付与する不純物元素を添加されることになる。

【0029】

次いで、新たにレジストからなるマスク $142 \sim 144$ を形成して図2(B)に示すように第3のドーピング処理を行う。この第3のドーピング処理により、

pチャネル型TFTを形成する半導体層にp型の導電型を付与する不純物元素が添加された第4の不純物領域147及び第5の不純物領域145、146を形成する。第4の不純物領域は第2形状の導電層と重なる領域に形成されるものであり、 $1 \times 10^{18} \sim 1 \times 10^{20}$ atoms/cm³の濃度範囲でp型を付与する不純物元素が添加されるようにする。また、第5の不純物領域145、146には $1 \times 10^{20} \sim 1 \times 10^{21}$ atoms/cm³の濃度範囲でp型を付与する不純物元素が添加されるようにする。尚、第5の不純物領域146には先の工程でリン(P)が添加された領域であるが、p型を付与する不純物元素の濃度がその1.5～3倍添加されていて導電型はp型となっている。

【0030】

尚、第5の不純物領域148、149及び第4の不純物領域150は画素部において保持容量を形成する半導体層に形成される。

【0031】

以上までの工程でそれぞれの半導体層にn型またはp型の導電型を有する不純物領域が形成される。第2の形状の導電層124～127はゲート電極となる。また、第2の形状の導電層128は画素部において保持容量を形成する一方の電極となる。さらに、第2の形状の導電層129は画素部においてソース配線を形成する。

【0032】

次いで、ほぼ全面を覆う第1の層間絶縁膜151を形成する。この第1の層間絶縁膜151は、プラズマCVD法またはスパッタ法を用い、厚さを100～200nmとしてシリコンと水素を含む絶縁膜で形成する。その好適な一例は、プラズマCVD法により形成される膜厚150nmの酸化窒化シリコン膜である。勿論、第1の層間絶縁膜151は酸化窒化シリコン膜に限定されるものではなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。

【0033】

その後、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。この活性化はファーネスマニール炉またはクリーンオーブンを用いて加熱処理を行うことで実現する。加熱処理の温度は窒素雰囲気中で400～700℃

、代表的には410～500°Cで行う。なお、この他に、レーザーアニール法、またはラピッドサーマルアニール法（RTA法）を適用することができる。

【0034】

上記活性化処理と同時に、結晶化の際に触媒として使用したニッケルが高濃度のリンを含む第3の不純物領域137、139、140、及び第5の不純物領域146、149ゲッタリングされ、主にチャネル形成領域となる半導体層中のニッケル濃度が低減される。その結果、チャネル形成領域を有するTFTはオフ電流値が下がり、結晶性が良いことから高い電界効果移動度が得られ、良好な特性を達成することができる。

【0035】

次いで、図3に示すように、第1の層間絶縁膜151上有機絶縁物材料から成る第2の層間絶縁膜174を形成する。次いで、ソース配線127に達するコンタクトホールと各不純物領域に達するコンタクトホールを形成する。

【0036】

その後、Al、Ti、Mo、Wなどを用いて配線及び画素電極を形成する。例えば、膜厚50～250nmのTi膜と、膜厚300～500nmの合金膜（AlとTiとの合金膜）との積層膜を用いる。こうして、ソースまたはドレイン配線153～158、ゲート配線160、接続配線159、画素電極161が形成される。

【0037】

以上の様にして、nチャネル型TFT401、pチャネル型TFT402、nチャネル型TFT403を有する駆動回路406と、nチャネル型TFT404、保持容量405とを有する画素部407を同一基板上に形成することができる。本明細書中ではこのような基板を便宜上アクティブマトリクス基板と呼ぶ。尚、画素部407のTFTはpチャネル型TFTであっても良い。

【0038】

駆動回路406のnチャネル型TFT401（第2のnチャネル型TFT）はチャネル形成領域162、ゲート電極を形成する第2の形状の導電層124と一部が重なる第2の不純物領域163とソース領域またはドレイン領域として機能

する第3の不純物領域164を有している。pチャネル型TFT402にはチャネル形成領域165、ゲート電極を形成する第2の形状の導電層125と一部が重なる第4不純物領域166とソース領域またはドレイン領域として機能する第4の不純物領域167を有している。nチャネル型TFT403（第2のnチャネル型TFT）にはチャネル形成領域168、ゲート電極を形成する第2の形状の導電層126と一部が重なる第2の不純物領域169とソース領域またはドレイン領域として機能する第3の不純物領域170を有している。このようなnチャネル型TFT及びpチャネル型TFTによりシフトレジスタ回路、バッファ回路、レベルシフタ回路、ラッチ回路などを形成することができる。特に、駆動電圧が高いバッファ回路には、ホットキャリア効果による劣化を防ぐ目的から、nチャネル型TFT401または403の構造が適している。

【0039】

画素部407の画素TFT404（第1のnチャネル型TFT）にはチャネル形成領域171、ゲート電極を形成する第2の形状の導電層128の外側に形成される第1の不純物領域172とソース領域またはドレイン領域として機能する第3の不純物領域173を有している。また、保持容量405の一方の電極として機能する半導体層には第4の不純物領域176、第5の不純物領域177が形成されている。保持容量405は、絶縁膜（ゲート絶縁膜と同一膜）を誘電体として、第2形状の電極129と、半導体層106とで形成されている。

【0040】

このような画素部407の上面図を図4に示す。図4ではほぼ一画素分の上面図を示し、付与する符号は図3と共通なものとしている。また、A-A'及びB-B'線の断面構造が図3に対応している。図4の画素構造において、ゲート配線とゲート電極とを異なる層上に形成することにより、ゲート配線と半導体層を重複させることができとなり、ゲート配線に遮光膜としての機能が付加されている。また、画素電極間の隙間が遮光されるように、画素電極の端部をソース配線と重なるように配置され、遮光膜（ブラックマトリクス）の形成を省略できる構造としている。その結果、従来に比べ開口率を向上させることが可能となっている。

【0041】

本発明は、画素部及び駆動回路が要求する回路仕様に応じて各回路を形成するTFTの構造を最適化し、半導体装置の動作性能及び信頼性を向上させることができる。具体的には、nチャネル型TFTは回路仕様に応じてLDD構造に変化をもたせている。上述のように、駆動回路のnチャネル型TFTはゲート電極と一部が重なるLDD構造として、主にホットキャリア効果によるTFTの劣化を防ぐ構造としている。また、画素部のnチャネル型TFTはゲート電極と重ならないLDD構造として、主にオフ電流を低減することを重視した構造としている。本発明はこのような構造の異なるnチャネル型TFTに加え、pチャネル型TFTを同一基板上に形成する技術を提供し、それを6枚のフォトマスクで作製可能にしている。また、画素電極を透明導電膜で形成すると、フォトマスクは1枚増えるものの、透過型の表示装置を形成することができる。

【0042】

【発明の効果】

以上示したように、本発明によれば同一基板上にLDD構造の異なるnチャネル型TFTとpチャネル型TFTとを6枚のフォトマスクで形成することができる。このようなアクティブマトリクス基板を用いて液晶表示装置や、同一基板上に発光層を有する表示装置を形成することができる。

【0043】

フォトマスク数の低減は生産性の向上をもたらすが、本発明はそればかりでなく、上述のようにnチャネル型TFTのLDD構造を最適化することによりアクティブマトリクス基板の信頼性と動作特性を同時に向上させることができる。

【図面の簡単な説明】

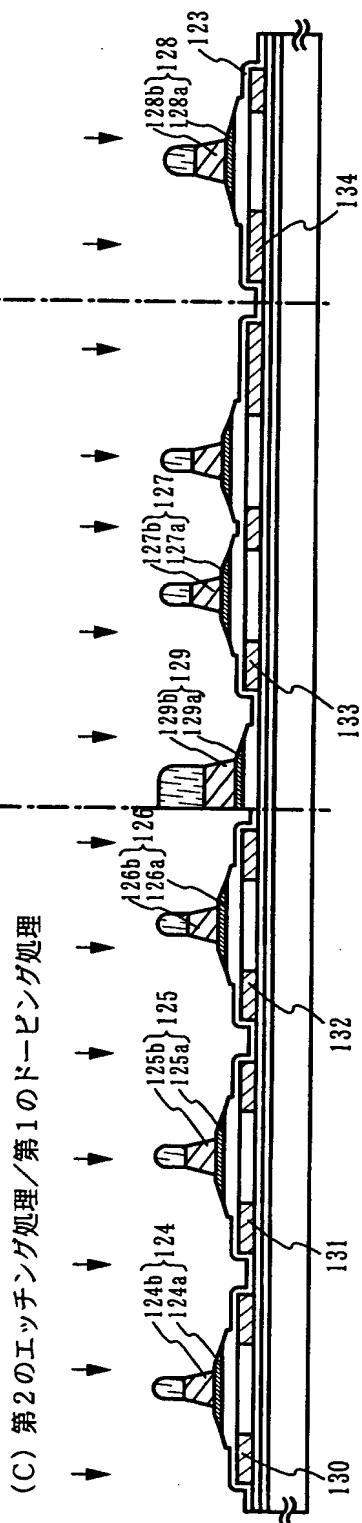
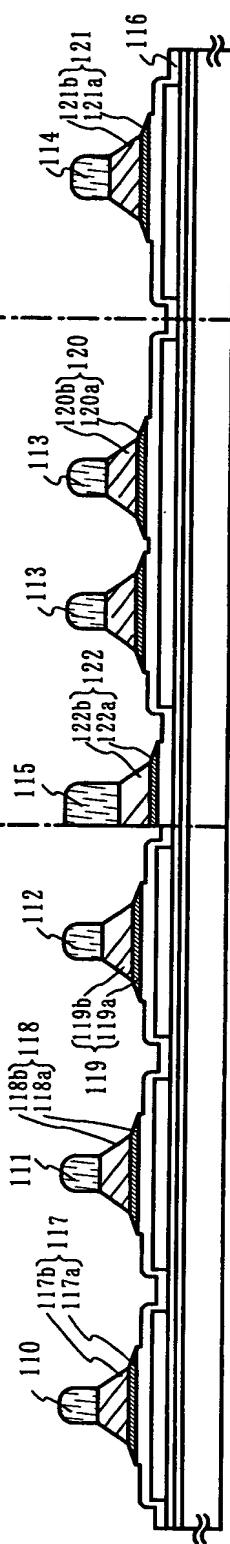
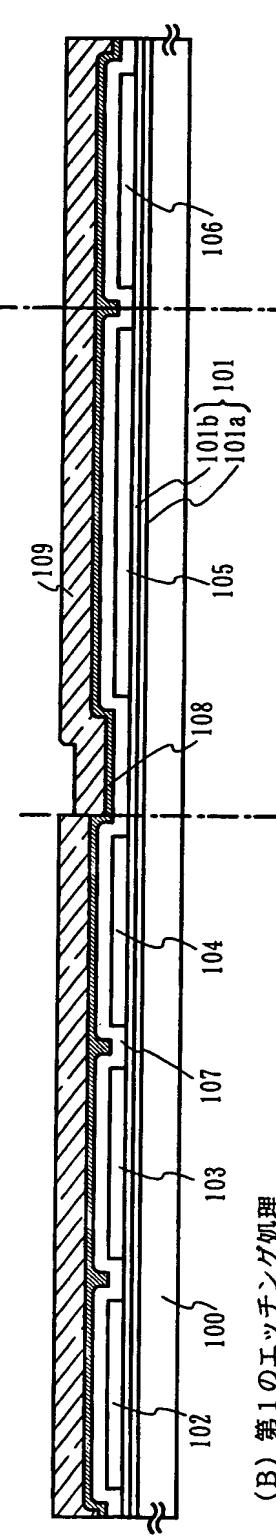
- 【図1】 駆動回路のTFT及び画素部のTFTの作製工程を説明する断面図。
- 【図2】 駆動回路のTFT及び画素部のTFTの作製工程を説明する断面図。
- 【図3】 駆動回路のTFT及び画素部のTFTの作製工程を説明する断面図。
- 【図4】 画素部の構造を説明する上面図。

【書類名】

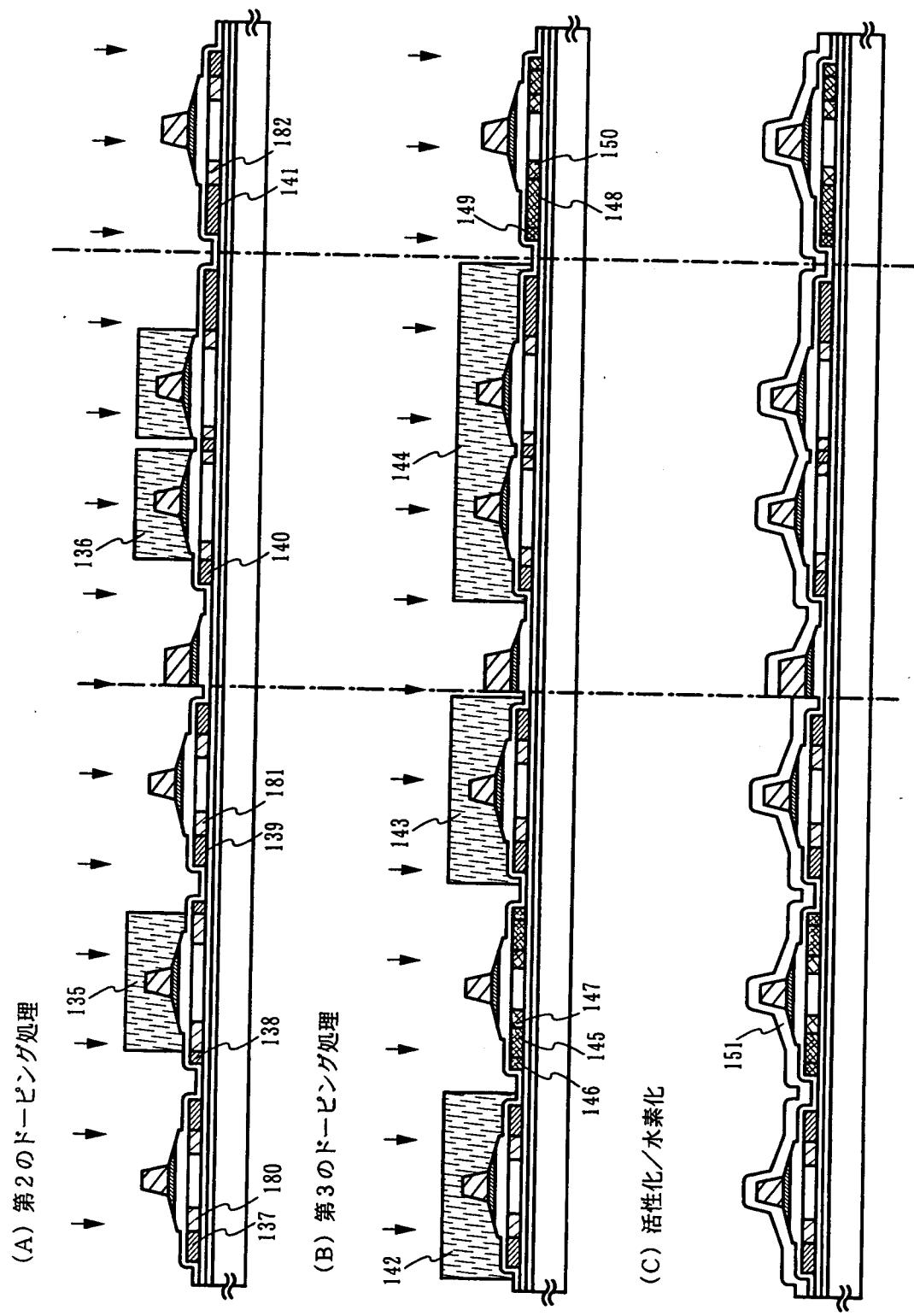
図面

【図1】

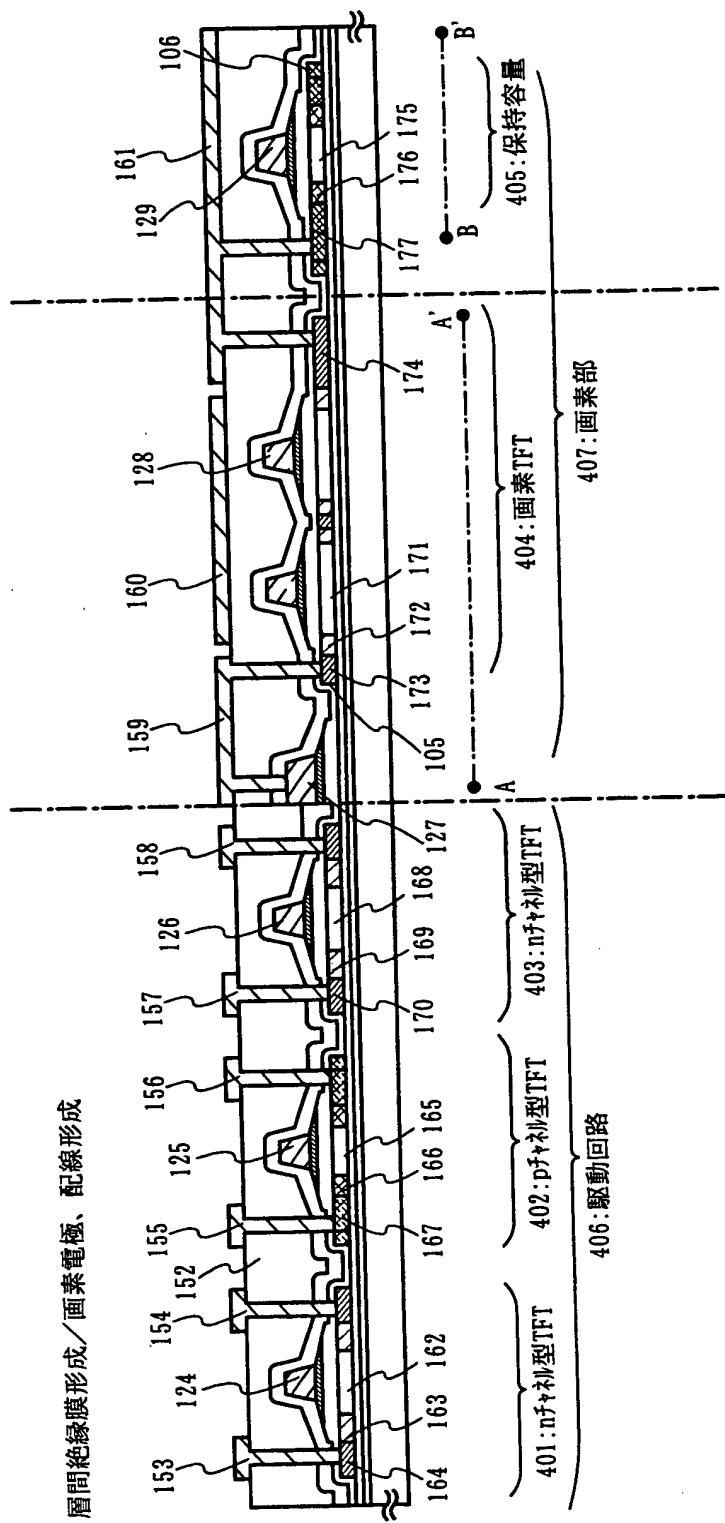
(A) 半導体層の形成／絶縁膜の形成／第1の導電膜と第2の導電膜の形成



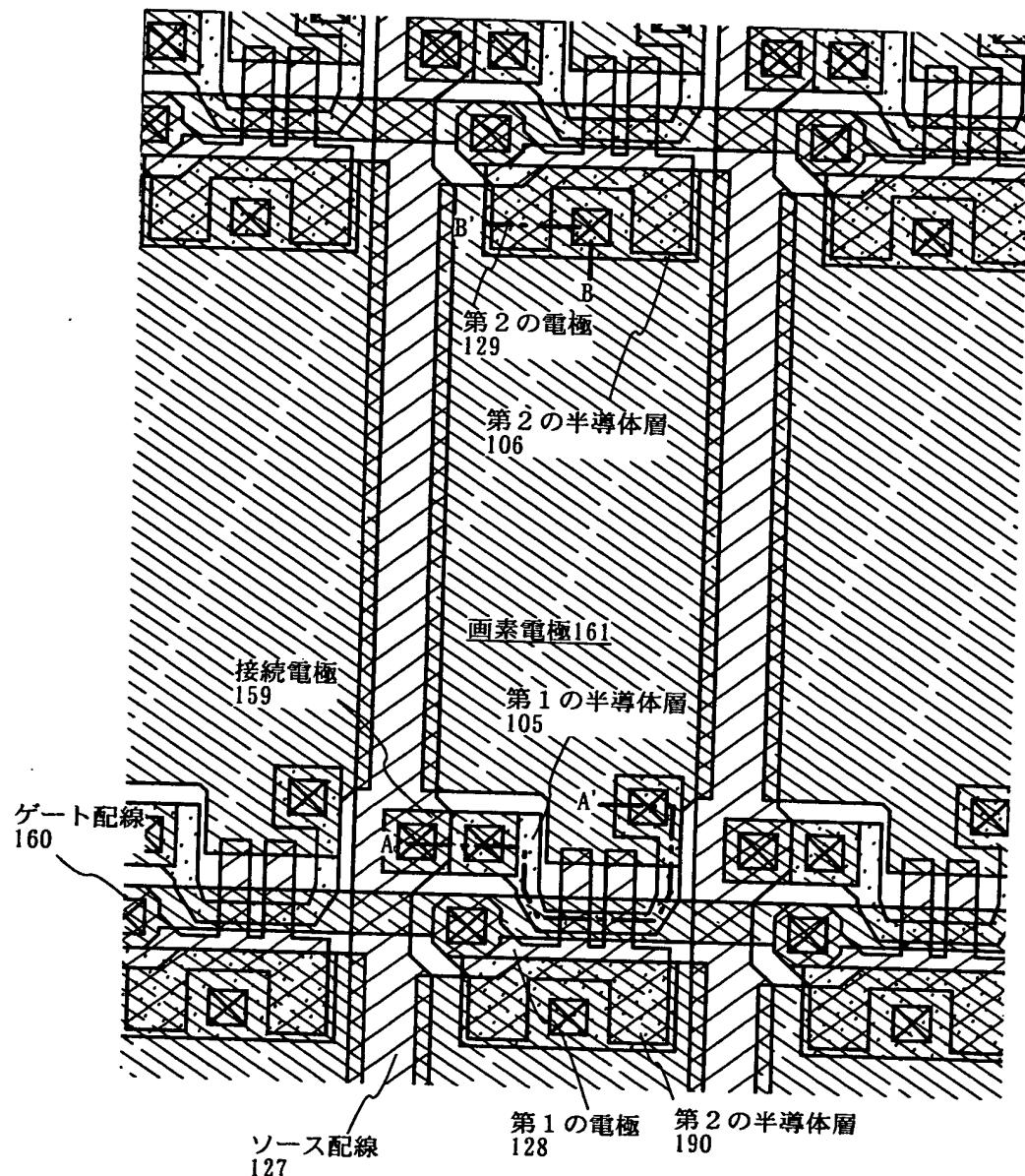
【図2】



【図3】



【図4】



【書類名】 要約書

【要約】

【課題】 画素部や駆動回路の要求に合わせて TFT の構造を最適化しようとすると、製造工程が複雑となり必要なフォトマスクの数が必然的に増加してしまう。一方、ゲート電極を利用して自己整合的に LDD 等の不純物領域を形成する手法では、基板サイズの大型化に伴ってその加工精度がどうしても悪くなってしまう。

【解決手段】 上記問題点を解決するために、第 1 の n チャネル型 TFT の半導体層に形成される第 1 の不純物領域と第 2 の不純物領域とはゲート電極の外側に設けられ、第 2 の n チャネル型 TFT の半導体層に形成される第 3 の不純物領域はゲート電極と一部が重なるように設けられ、かつ、第 3 の不純物領域はゲート電極の外側に設けられ、 p チャネル型 TFT の半導体層に形成される第 4 の不純物領域はゲート電極と一部が重なるように設けられ、かつ、第 5 の不純物領域はゲート電極の外側に設ける。

【選択図】 図 3

特2001-011085

出願人履歴情報

識別番号 [000153878]

1. 変更年月日 1990年 8月17日

[変更理由] 新規登録

住 所 神奈川県厚木市長谷398番地
氏 名 株式会社半導体エネルギー研究所